Sygn. akt: KIO 980/26

WYROK

Warszawa, 26 marca 2026 r.

Krajowa Izba Odwoławcza - w składzie:

Przewodnicząca:Izabela Niedziałek-Bujak
Protokolant: Tomasz Skowroński

po rozpoznaniu na rozprawie 23 marca 2026 r. w Warszawie odwołania wniesionego do Prezesa Krajowej Izby Odwoławczej 2 marca 2026 r. przez odwołującego – wykonawcę **Symmetry Spółka z ograniczoną odpowiedzialnością**, Warszawa, KRS 0000359631 w postępowaniu prowadzonym przez zamawiającego –**Centrum Informatyki Resortu Finansów**, Radom

z udziałem przystępującego po stronie zamawiającego - uczestnika, wykonawcy **WASCO Spółka Akcyjna**, Gliwice, KRS 0000026949

orzeka:

1.Oddala odwołanie.

2.Kosztami postępowania odwoławczego obciąża odwołującego – Symmetry Sp. z o.o. i zalicza w poczet kosztów postępowania odwoławczego 15.000 zł 00 gr. (piętnaście tysięcy złotych) wpisu.

Na orzeczenie - w terminie 14 dni od dnia jego doręczenia - przysługuje skarga za pośrednictwem Prezesa Krajowej Izby Odwoławczej do Sądu Okręgowego w Warszawie - Sądu Zamówień Publicznych.

Przewodnicząca:……

Sygn. akt: KIO 980/26

U z a s a d n i e n i e

W postępowaniach prowadzonych przez zamawiającego – Centrum Informatyki Resortu Finansów w Radomiu w trybie przetargu nieograniczonego na *dostawę i wdrożenie 2 macierzy blokowego systemu składowania danych typ 1* (nr postępowania: PN/77/25/GDYP), ogłoszonym w Dzienniku Urzędowym Unii Europejskiej 30.10.2025 r., OJ S 209/2025 717127-2025, wobec czynności polegających na odrzuceniu oferty, wyborze oferty najkorzystniejszej oraz odtajnieniu wyjaśnień, wniesione zostało w 02.03.2026 r. do Prezesa Krajowej Izby Odwoławczej odwołanie wykonawcy Symmetry Sp z o.o. z/s w Warszawie (KIO 980/26).

Zamawiający poinformował o czynnościach w postępowaniu 25.02.2026 r.

Odwołujący zarzuca zamawiającemu naruszenie:

1.art. 226 ust. 1 pkt 5 ustawy Pzp w zw. z art. 16 ust. 1 i 3 Pzp, poprzez jego zastosowanie i odrzucenie oferty odwołującego pomimo tego, że treść oferty jest zgodna z swz;

2.art. 18 ust. 1-3 ustawy Pzp w zw. z art. 11 ust. 4 ustawy o zwalczaniu nieuczciwej konkurencji („uznk") oraz w zw. z art. 16 ust. 1 ustawy Pzp poprzez odtajnienie złożonych przez odwołującego wyjaśnień RNC wraz z załącznikami,

co w konsekwencji prowadzi do naruszenia art. 239 ust. 1 i 2 oraz art. 17 ust. 2 ustawy Pzp poprzez niezgodny z przepisami wybór oferty najkorzystniejszej złożonej przez WASKO S.A.

Odwołujący wniósł o uwzględnienie odwołania oraz nakazanie zamawiającemu unieważnienia czynności wyboru oferty najkorzystniejszej, unieważnienia czynności odrzucenia oferty odwołującego oraz dokonania ponownego badania i oceny ofert, w tym unieważnienie odtajnienia wyjaśnienia ceny oferty wraz z załącznikami, złożonych przez odwołującego.

W uzasadnieniu wobec podstaw odrzucenia oferty odwołującego, wykonawca zakwestionował ocenę zamawiającego z uwagi na:

- klasę procesora Kunpeng 920 (klasa x86). Zamawiający błędnie identyfikuje pojęcie „klasy procesora" z pojęciem „architektury procesora". Zamawiający nie stawiał wymagań w odniesieniu do klasy procesora, w którym mają zostać wyposażone kontrolery macierzy. Zamawiający zrezygnował z technicznego wymogu konkretnej architektury, wprowadzając szersze pojęcie klasy, którą sam zamawiający zdefiniował w sposób funkcjonalny – jako zdolność do zapewnienia wysokiej wydajności obliczeniowej. Zamawiający nie zdefiniował pojęcia „klasy x86" poprzez odwołanie do zewnętrznych, ścisłych norm technicznych. Klasa x86 jest opisem określającym poziom wydajności. Zamawiający ustalił, że zaoferowany procesor pracuje w architekturze ARM (Aarch64) i na tej podstawie uznał, że procesory Kunpeng 920 są klasy ARM64, a nie klasy x86, której wymagał w OPZ – zamawiający uznał, że nie spełnia to wymogu

architektonicznego, chociaż nie kwestionował możliwości spełnienia wymagań wydajnościowych. Odwołujący nie zgadza się z rozumieniem pojęcia procesor klasy x86 przyjętym przez zamawiającego. Zamawiający arbitralnie utożsamił „klasę x86" z „architekturą x86", do czego nie uprawnia go treść OPZ. Wymóg „klasy x86" odnosi się do zapewnienia odpowiedniej wydajności, a nie do ścisłej zgodności z architekturą x86. Zaoferowane procesory Kunpeng 920 w architekturze ARM należą do wymaganej „klasy enterprise/serwerowej" i z ogromnym zapasem przekraczają minimalne parametry wydajnościowe oczekiwane przez zamawiającego.

W odniesieniu do zarzuty odtajnienia wyjaśnień RNC odwołujący odniósł się do przesłanki, której brak spełnienia powołał zamawiający oceniając zastrzeżenie jako nieskuteczne, tj. wykazania podjęcia działań w celu utrzymania zastrzeżonych informacji w poufności.

Do postępowania odwoławczego przystąpili po stronie zamawiającego wykonawcy: WASCO S.APrzystępujący złożył pismo procesowe wraz z wnioskami dowodowymi (pismo z 23.03.2026 r.).

Zamawiający złożył odpowiedź na odwołanie z wnioskiem o jego oddalenie (pismo z 22.03.2026 r.).

Podstawą decyzji o odrzuceniu oferty odwołującego na podstawie art. 226.1 pkt 6 Ustawy było uznanie, iż zaoferowanie macierzy Huawei, model: OceanStor Dorado 8000, wyposażonej w procesor Kunpeng 920 nie spełnia warunku: *„Kontrolery macierzy muszą być wyposażone w procesory klasy x86 zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej"*, w szczególności, iż zastosowany w macierzy procesor, nie jest procesorem klasy x86, a procesorem należącym do innej klasy, tj. ARM64.

Zamawiający rozumienie wymogu „klasa x86" odniósł do standardu SMBIOS, opracowanego przez organizację DMTF (Distributed Management Task Force), której firma Huawei jest członkiem kategorii Leadership, jako znanego na profesjonalnym rynku i identyfikującym pojęcie „klasa x86" jako termin techniczny. Z technicznego punktu widzenia procesor Kunpeng 920, jako procesor o architekturze Aarch64, należy do klasy ARM64 i z definicji nie może należeć do klasy x86. Procesory ARM64 (takie jak Kunpeng 920) wykorzystują architekturę RISC i identyfikują się w sposób całkowicie odmienny – nie obsługują instrukcji CPUID, gdyż nie są kompatybilne z procesorami klasy x86, a ich rozpoznawanie odbywa się za pośrednictwem oprogramowania układowego (ACPI), co stanowi o ich przynależności do klasy ARM64, a nie x86.

Odwołujący całkowicie błędnie interpretuje zmianę dokonaną przez zamawiającego w odpowiedziach na pytania do SWZ jako rezygnację z wymogu architektury x86. W rzeczywistości wprowadzenie pojęcia „klasa x86", z uwagi na to, iż posiada ono szersze znaczenie i pozwala na zaoferowanie również procesorów o architekturach kompatybilnych z x86 (np. IA-32 (x86) oraz x64 (x86-64, Intel64, AMD64)) produkowanych przez różnych dostawców takich jak Intel czy AMD, miało na celu zwiększenie konkurencyjności postępowania. Tym niemniej z całą pewnością do klasy x86 nie należą procesory o fundamentalnie innej architekturze i zestawie instrukcji, jakimi są procesory klasy ARM64.

Mimo, że zamawiający nie określił wymagań wydajnościowych dla procesorów (wymagania wydajnościowe zdefiniowane przez zamawiającego odnoszą się do macierzy jako takiej), nie znaczy to jednak, że w jego ocenie procesory klasy x86 oraz klasy ARM64 pod kątem wydajności są porównywalne. Dla przykładu twierdzenie, że Kunpeng 920 należy do „tej samej klasy wydajnościowej" co procesory Intel Xeon czy AMD EPYC, jest nieprawdą w świetle obiektywnych i niezależnych testów SPECrate®2017_int_base dostępnych na stronie. Zamawiający przedstawił wyniki testów wydajnościowych dla procesorów klasy x86 i ARM64, w tym Kunpeng 920. Z przedstawionych rezultatów wynika, że wydajność procesorów klasy x86 jest znacznie wyższa niż procesorów klasy ARM64. Nie powinno więc dziwić, że określając swoje dodatkowe wymaganie w zakresie zastosowania procesorów klasy x86 wskazał na jedną z kluczowych cech, która charakteryzuje tą klasę procesorów, czyli wysoką wydajność obliczeniową procesora.

Zamawiający w zakresie zarzutu naruszenia art. 18 ust. 1-3 w zw. z art. 11 ust. 4 uznk nie kwestionuje twierdzeń odwołującego, że ten może mieć wdrożone środki mające na celu utrzymania informacji w poufności. Niemniej jednak w postępowaniu odwołujący nie wykazał, że w stosunku do odtajnionych wyjaśnień środki się te zostały rzeczywiście zastosowane. Konieczność wykazania przejawia bowiem w obowiązku dużo dalej idącym, niż tylko złożenie oświadczeń, sprowadzających się deklaracji, że przywołane w uzasadnieniu środki mające na celu utrzymania informacji w poufności są stosowane. Zamawiający wskazuje, że na podstawie przedstawionego uzasadnienia oraz załączników do niego można co najwyżej ustalić, że odwołujący deklaruje, a nie wykazuje zastosowanie określonych środków w codziennej swojej działalności.

Odwołujący złożył dodatkowe pismo procesowe zawierające podsumowanie stanowiska z odwołania (pismo z 23.03.2026 r.).

Izba ustaliła i zważyła

Przedmiotowe zamówienie dotyczy dostawy macierzy dyskowych.
Zamawiający w OPZ opisał wymagania, w tym w poz. 8 dotyczącej architektury macierzy, w drodze modyfikacji OPZ dopisał wymóg opisujący procesory, w jakie kontrolery macierzy należy wyposażyć. W pkt 3 tabeli – określona została minimalna wydajność dla macierzy IOPS, tj. 500000 IOPS (operacji wejścia/wyjścia na sekundę) przy maksymalnym średnim czasie odpowiedzi określonym atrybutem MAX ŚREDNI CZAS ODPOWIEDZI osiągnięty w teście Vdben zgodnym z wewnętrzną procedurą testową CIRF (8K bloku przy stosunku odczytów do zapisów równym70/30).

Do zamawiającego kierowane były pytania dotyczące wymagań OPZ, w tym:
Pytanie nr 3
Czy zamawiający dopuszcza wykorzystanie kontrolerów macierzy dyskowych zbudowanych w oparciu o procesory inne niż pracujące w architekturze x86?
Pytanie nr 4
Zwracamy się z prośbą o wyjaśnienie, czy Zamawiający dopuszcza wykorzystanie kontrolerów macierzy dyskowych zbudowanych w oparciu o procesory inne niż pracujące w architekturze x86?

Zamawiający w odpowiedzi na te pytania z 25.11.2025 r. dokonał zmiany OPZ – dodał opis w pkt 8 –*Architektura macierzy. Kontrolery macierzy muszą być wyposażone w procesory klasy x86 zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej.*

Zamawiający wezwał odwołującego do wyjaśnienia treści oferty – pismo z 13.01.2026 r.
Z uwagi na fakt, że zaoferowany Sprzęt producenta Huawei OceanStor Dorado 8000 wyposażony jest w procesory klasy ARM64, Zamawiający zwraca się o wyjaśnienie w jaki sposób spełni on wymagania dotyczące wyposażenia kontrolerów macierzy w procesory klasy x86.
W odpowiedzi z 19.01.2026 r. odwołujący wskazał:
Potwierdzamy, że macierz OceanStor Dorado 8000 jest wyposażona w procesory Kunpeng 920. Są to procesory zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej, odpowiadającą wymaganiom określonym w SWZ w zakresie klasy procesora x86. Tym samym zaoferowane rozwiązanie spełnia literalną treść SWZ, a próba jego zakwestionowania opiera się na kryteriach niewynikających z dokumentacji postępowania. Zamawiający w wezwaniu do wyjaśnień błędnie utożsamia pojęcie „klasy procesora" z „architekturą procesora", mimo że są to pojęcia odrębne i nietożsame. ARM nie stanowi klasy procesora, lecz nazwę architektury, co znajduje jednoznaczne potwierdzenie zarówno w literaturze technicznej, jak i w oficjalnych materiałach producenta architektury ARM, gdzie ARM64 (AArch64) definiowana jest wyłącznie jako 64-bitowa wersja architektury ARM. Poniżej link ze strony firmy ARM Holdings https://www.arm.com/architecture/learn-the-architecture/a-profile W SWZ Zamawiający nie zdefiniował pojęcia „klasy x86" w znaczeniu architektonicznym, natomiast jednoznacznie określił sposób jego rozumienia poprzez wskazanie funkcjonalne, tj. zapewnienie wysokiej wydajności obliczeniowej niezbędnej do obsługi zaawansowanych, intensywnych operacji pamięci masowej. Tym samym Zamawiający samodzielnie przesądził, że kryterium „klasy x86" ma charakter wydajnościowy, a nie architektoniczny. Wobec braku jakichkolwiek zapisów w SWZ, które uzależniałyby spełnienie wymogu od konkretnej architektury procesora, Zamawiający nie jest uprawniony do dokonywania rozszerzającej ani modyfikującej interpretacji postanowień SWZ na etapie badania ofert. Takie działanie stanowiłoby niedopuszczalną zmianę treści warunków zamówienia po upływie terminu składania ofert, z naruszeniem zasady równego traktowania wykonawców oraz zasady przejrzystości postępowania.

Zamawiający kierował pytania również do producenta zaoferowanej macierzy, Huawei, który w korespondencji mailowej z 31.12.2025 r. wskazał:

Szanowni Państwo,
W odpowiedzi na pytania dotyczące specyfikacji procesora używanego w macierzy OceanStor Dorado 8000, przekazujemy następujące odpowiedzi.

1. ***Jakie procesory (typ, model, architektura-klasa-rodzina) są zainstalowane w kontrolerach macierzy Huawei, model: OceanStor Dorado 8000?***

Macierz OceanStor Dorado 8000 jest wyposażona w procesory Kunpeng 920, zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej, odpowiadającą wymaganiom określonym w OPZ w zakresie klasy procesora x86.

2. ***Czy macierz Huawei, model: OceanStor Dorado 8000 produkowana jest aktualnie w konfiguracji z kontrolerami wyposażonymi w procesory w architekturze (zwanej zamiennie klasą bądź rodziną) x86?***

Macierz Huawei model: OceanStor Dorado 8000 produkowana jest z procesorami w architekturze ARM, jednakże w OPZ wymóg odnosi się wyłącznie do klasy, a nie architektury, bądź rodziny, które nie są pojęciami zamiennymi.

3.Czy macierz Huawei, model: OceanStor Dorado 8000 produkowana jest aktualnie jedynie w konfiguracji z kontrolerami wyposażonymi w procesory w architekturze (zwanej zamiennie klasą bądź rodziną) ARM?

Tak, jednakże w OPZ wymóg odnosi się wyłącznie do klasy, a nie architektury, bądź rodziny, które nie są pojęciami zamiennymi.

Jednocześnie wskazujemy, że zamawiający w OPZ w postępowaniu pn. Dostawa i wdrożenie 2 macierzy blokowego systemu składowania danych typu 1, nr postępowania PN/77/25/GDYP, wskazał jednoznacznie następujące wymaganie:

„Kontrolery macierzy muszą być wyposażone w procesory klasy x86 zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej."

Zamawiający użył opisu funkcjonalno-wydajnościowego z użyciem niezdefiniowanego normatywnie pojęcia „klasa x86", bez wskazania instrukcji, zgodności binarnej, ani architektury.

Jednocześnie w przesłanych pytaniach Zamawiający zamienia pojęcie „klasy x86" na „architekturę x86" traktując klasa / rodzina / architektura jako pojęcia tożsame. Pragniemy zwrócić uwagę na to, że Zamawiający nie postawił jakichkolwiek wymogów referujących do architektury procesora jak i nie zdefiniował pojęcia architektury procesora w OPZ.

Wedle postanowień OPZ klasa x86 to poziom mocy obliczeniowej, wysoka wydajność. Z kolei wedle rozumienia narzuconego w pytaniach, klasa x86 to architektura x86. To nie jest ta sama treść normatywna.

Zwracamy uwagę, że klasa / rodzina / architektura to rozbieżne pojęcia.

- *Rodzina może określać grupę procesorów np. Intel Core albo Intel Xeon, AMD Epyc, Huawei Kunpeng.*
- *Architektura procesora odnosi się do konkretnych instrukcji realizowanych przez CPU, tak jak CISC (Complex Instruction Set Computing) oraz RISC (Reduced Instruction Set Computing).*
- *Z kolei klasa procesora opisuje poziom wydajności, skalowalności, niezawodności oraz przeznaczenie procesora, niezależnie od zastosowanej architektury.*

Przesyłamy link do dokumentacji:

Zamawiający odrzucił 25.02.206 r. ofertę odwołującego na podstawie art. 226 ust. 1 pkt 5 Ustawy. W uzasadnieniu wskazał, że *Procesory Kunpeng 920 w architekturze ARM (Aarch64) zainstalowane w zaoferowanym Sprzęcie są procesorami klasy ARM64, a nie wymaganymi przez Zamawiającego procesorami klasy x86, która to klasa jednoznacznie została wskazana w OPZ (…).*

Zgodnie ze utrwalonymi i powszechnie stosowanymi na rynku IT standardami podziału procesorów dzielą się one na m.in. klasy, które obejmują swoim zakresem poszczególne architektury. Podział taki został szczegółowo opisany np. w międzynarodowym standardzie SMBIOS wersja z dn. 07.07.2025 r. - DMTF DSP0134 v3.9.0 - DSP0134_3.9.0.pdf1 opracowanym i opublikowanym przez organizację DMTF, której to członkiem w kategorii Leadership jest m.in. producent Huawei2, a którego członkowie reprezentują różnych producentów i definiują standardy zarządzania, rozwoju i interoperacyjności sprzętu oraz oprogramowania również dla rozwiązań enterprise, w tym procesorów. (…).

Standard SMBIOS rozróżnia tym samym pojęcia klasa i architektura procesora jako pojęcia hierarchicznie zależne od siebie, grupując pojęcia klasa procesora jako zbiór obejmujący swoim zakresem określone architektury procesorów.

Jednocześnie wskazać należy, że zgodnie ze standardem SMBIOS kwalifikacja architektury procesora do danej klasy jest jednoznaczna i precyzyjna do ustalenia w oparciu o chociażby nazwę danej klasy i jej cechy. Tym samym, Zamawiający w oparciu o powszechnie stasowane na rynku IT standardy sformułował w OPZ precyzyjne i jednoznaczne wymaganie dotyczące procesorów w brzemieniu „klasa x86", jako zbioru obejmującego swoim zakresem wszystkie zgodne z wymaganiami OPZ, dostępne na rynku procesory o architekturze należącej do klasy x86, które produkowane są przez różnych producentów.

Zamawiający poinformował w piśmie z 25.02.206 r. o podstawie odtajnienia wyjaśnień RNC, wskazując, m.in. na brak dowodów, które miałyby prowadzić do wykazania wystąpienia przesłanek tajemnicy przedsiębiorstwa, w szczególności wskazując na brak wykazania podjęcia starań w celu zachowania w poufności informacji zastrzeżonych jako tajemnica przedsiębiorstwa. Zamawiający przedstawił ocenę przedstawionych dokumentów, a w podsumowaniu wskazał, że wykonawca złożył jedynie oświadczenia, że podjął pewne działania, załączył Politykę, jednak nie wykazał, jakie działania podjął na jej podstawie.

Izba oddala odwołanie w całości.

Zarzuty kierowane wobec czynności oceny oferty odwołującego podlegały oddaleniu w całości, co prowadziło do uznania, że czynność wyboru oferty najkorzystniejszej pozostała prawidłowa.

Zasadniczą, z uwagi na ustalenie wyniku postępowania była kwestia oceny zgodności oferty odwołującego z treścią swz i wymogiem wyposażenia kontrolera macierzy w procesor klasy x86, co mogło faktycznie zmienić sytuację w postępowaniu, gdyby oferta odwołującego została przywrócona do oceny.

W ocenie składu orzekającego ocena prawidłowość decyzji o odtajnieniu wyjaśnień w zakresie podejrzenia zaoferowania rażąco niskiej ceny nie mogła na obecnym etapie czynności mieć wpływu na wynik postępowania. Była to bowiem

czynność nie mająca żadnego znaczenia dla oceny oferty, której zamawiający nie odrzucił na podstawie art. 226 ust. 1 pkt 8 Ustawy. Samo odtajnienie wyjaśnień nie miało zatem żadnego znaczenia na moment składania odwołania i było obojętne dla oceny merytorycznej oferty w zakresie wynikającym z podstawy jej odrzucenia. Izba ocenia wpływ na wynik postępowania czynności, mając na uwadze skutki jakie ma ona dla oferty i możliwości zmiany sytuacji odwołującego w postępowaniu. Samo odtajnienie wyjaśnień jako czynność podyktowana oceną spełnienia przesłanek dla tajemnicy przedsiębiorstwa nie ma żadnego wpływu na ocenę merytoryczną treści oferty, która pozostaje niezmienna, niezależnie od oceny czy informacje zawarte w wyjaśnieniach dotyczących ceny stanowiły tajemnicę przedsiębiorstwa. Na tej podstawie zarzut nr 2 podlegał oddaleniu w związku z art. 554 ust. 1 pkt 1 Ustawy.

Odnosząc się zatem do zasadniczej kwestii wynikającej z podstawy uznania przez zamawiającego, że oferta jest niezgodna z treści swz, punktem spornym w świetle stanowisk prezentowanych przez strony i uczestnika, była wykładnia zapisu OPZ w części opisującej architekturę macierzy, tj. wymóg: *Kontrolery macierzy muszą być wyposażone w procesory klasy x86 zapewniające wysoką wydajność obliczeniową niezbędną do obsługi zaawansowanych, intensywnych operacji pamięci masowej*.

Odwołujący podważając decyzję zamawiającego wskazywał, że zamawiający w wymogu tym nie odnosił się do architektury procesora, ale jego wydajności. Zamawiający natomiast nie kwestionował samej wydajności procesora, ale jego architekturę, która identyfikowana jest wskazaniem na procesor x86. Jednocześnie na leży wskazać, że z wyjaśnień stron wynikało, że pojęcia „klasa procesora" nie jest pojęciem ustandaryzowanym w tym ujęciu, że istnieją normy branżowe, według których dokonuje się klasyfikacji procesorów. Samo natomiast pojęcie klasy procesora, z uwagi na jego wykorzystanie w architekturze konkretnego urządzenia prowadzi do stwierdzenia, że jako urządzenie umożliwiające wykonywanie operacji pamięci masowej, wykorzystują konkretne zbiory instrukcji właściwych dla danej architektury wewnętrznej urządzenia, w tym przypadku macierzy. Nie było przy tym spornym pojęcie architektury procesora identyfikowanej oznaczeniem x86, czy też ARM (Aarch64), jako różnych rozwiązań zakładających odmienne filozofie komunikacji. Odwołujący potwierdził w odwołaniu, że zaoferowany został procesor Kunpeng 920 w architekturze ARM, odnosząc się do klasy jego wydajności - „klasy enterprise/serwerowej", przekraczającej minimalne parametry wydajnościowe oczekiwane przez zamawiającego.

Izba uznała, że wymóg z OPZ dotyczący klasy procesorów, nie ograniczał się do samego ogólnego opisu wydajności, ale również identyfikował architekturę procesora x86, co zawierało się w oznaczeniu identyfikującym system architektury wykorzystywany przez producentów różnych urządzeń, w tym macierzy. Nie tylko wiedza branżowa, na jaką powołuje się zamawiający w uzasadnieniu odrzucenia oferty odwołującego, m.in. wskazując na standard SMBIOS, ale nawet sama opinia odwołującego identyfikuje architekturę procesora x86, jako zbiór instrukcji typowych dla procesorów z tej grupy. Ponieważ do zamawiającego nie były kierowane dalsze pytania wobec treści OPZ, po zmianie wprowadzającej wymóg wyposażenia klastra w procesory klasy x86 o wysokiej wydajności obliczeniowej, Izba uznała, że zapis ten był jasny uwzględniając charakter usług i wysoki poziom specjalizacji tej branży, uwzględniający wiedzę i doświadczenia. Już sama treść pytania identyfikowała procesory według architektury x86. Zamawiający na rozprawie potwierdził, że użycie oznaczenia x86 w opisie architektury macierzy powinno być rozumiane jako typ architektury oparty na jednym sposobie podejścia do architektury (CISC w odróżnieniu do RISC, do której należy ARM). Opis wydajności w wymaganiu zostal podyktowany tym, że różnice pomiędzy klasami architektur x86 a ARM się zacierają, jednak nadal x86 są wiodące w rozwiązaniach All Flash.

Jednocześnie należy podkreślić, że zamawiający nie wymagał konkretnej wydajności, procesora opisanej jako minimalna, a odwołujący kwestionując ocenę zamawiającego stanowisko swoje opierał na stwierdzeniu, że zaoferowany procesor przekracza wymagania zamawiającego w zakresie wydajności procesora, co powinno uzasadniać pozytywną ocenę oferty. Powyższe wskazuje zasadniczą wadę argumentacji odwołującego, w której podkreślał znaczenie oceny wydajności procesora (czego zamawiający nie oceniał wobec braku wymagań co do minimalnej wydajności procesora i nie kwestionował w podstawie odrzucenia oferty), jednocześnie pozostawiając jako nieistne wskazanie w OPZ na klasę x86, która wprost referuje do architektury x86 urządzenia, w którym procesor ma być wykorzystywany. Na rozprawie odwołujący podważając prawidłowość zapisu OPZ wskazywał na wprowadzone w nowym postępowaniu zapisy, dotyczące procesorów klasy x86, w których zamawiający odwołuje się wprost do klasyfikacji klas procesorów określonej w sekcji 7.5.3 w standardzie SMBIOS, którego to odesłania nie uwzględnia sporny zapis OPZ. Odesłanie to miałoby uzasadniać ocenę architektury procesora, jednak na pytanie, czy przy takim odesłaniu zaoferowany procesor Kunpeng 920, spełniałby wymagania zamawiającego, odwołujący nie udzielił odpowiedzi. Izba przyjęła, że standard, do którego odwołał się zamawiający w podstawie odrzucenia, chociaż nie ma odniesienia do macierzy, to wskazuje w sposób jednoznaczny na funkcjonujące rozróżnienie procesorów według klas, które uwzględnia zarówno architekturę x86, jak i ARM64. Stanowisko odwołującego jest natomiast niespójne, gdyż z jednej strony kwestionuje przyjęcie podziału

potwierdzonego w standardzie SMBIOS,który nie został w OPZ przywołany, a następnie kwestionuje skuteczność takiego odesłania w innych postępowaniach, podnosząc że zamierza zapisy te kwestionować w ramach środków ochrony prawnej, gdyż nie standaryzuje one klasy procesorów.

Izba na potrzeby oceny czynności zamawiającego zobowiązana była uwzględnić zapisy OPZ, bez analizowania celowości czy też dopuszczalności opisu wskazującego na klasę procesora x86. Ponieważ zamawiający opisał nie tylko oczekiwanie co do wysokiej wydajności procesora, ale również określił jego klasę x86, ocena oferty odwołującego nie mogła być sprowadzona wyłącznie do oceny wydajności procesora, która jak wskazano wcześniej nie została opisana parametrem minimalnym. Tym samym przedstawione dowody na okoliczność wydajności procesora nie miały znaczenia dla oceny oferty. Dotyczy to również okoliczności związanych z badaniem wydajności macierzy, która nie jest przez zamawiającego kwestionowana, podobnie jak wydajność procesora kontrolera macierzy. Jednocześnie należy wskazać, że zasadniczo argumentacja odwołującego sprowadzała się właśnie do wykazania potrzeby badania samej wydajności procesora, co w ocenie Izby wypaczało zapis OPZ i pozbawiało podstawy zarzutów podniesionych w odwołaniu.

Wskazuje na to już sama opinia załączona do odwołania, opracowana z zamiarem oceny postanowień swz przy założonej tezie odwołującego, co do rozumienia wymogu z OPZ, który nie uwzględnia pełnego zapisu identyfikującego procesory według klasy x86. Tym samym miała ona wyłącznie walor uzupełniający wobec argumentów zawartych w odwołaniu i nie wnosiła merytorycznie nowych treści poza zawarte w argumentacji prezentowanej w sprawie przez odwołującego, w celu wykazania, że klasa x86 powinna być odnoszona do wydajności procesora, a nie architektury.

Izba nie podzieliła stanowiska odwołującego, a wnioski prezentowane w opinii wskazują na możliwość ewentualnego kwestionowania zapisu OPZ na wcześniejszym etapie, gdyż jak wskazano w opinii na str. 3 i 4: *Analizowany zapis rozumiany jako wymaganie, by procesory, w które wyposażone są kontrolery dyskowe zamawianych macierzy były procesorami o architekturze x86 (czyli o tzw. architekturze CISC – czyli „Procesory o złożonym zestawie instrukcji", z zestawem instrukcji zgodnym z procesorami o architekturze x86) prowadziłoby do wykluczenia produktów, które są wyposażone w procesory o architekturze innej niż x86.* Dalej w opinii wskazano na dostępne urządzenia innych producentów zaprojektowane w oparciu o architekturę ARM. Jak wskazano na wstępie, Izba na obecnym etapie czynności w postępowaniu nie jest uprawniona do oceny zapisu OPZ i dokonuje analizy czynności odrzucenia oferty odwołującego w oparciu o treść OPZ, w które wskazano wymóg procesora klasy x86.

Przyjęte przez odwołującego wnioski, co do możliwości oceny procesora wyłącznie pod względem wydajności, nie miały uzasadnienia, gdyż prowadziły do wypaczenia oceny zgodności z wymaganiem zamawiającego, które identyfikowało przede wszystkim architekturę x86, w jakiej należy zapewnić działanie kontrolera macierzy. Wskazuje na to również zamieszczenie wymogu w OPZ w części dotyczącej „Architektura macierzy". Brak słowa architektura w opisie wymagania nie mogło pozbawiać znaczenia, jakie miało wskazanie na oznaczenie x86, co nie identyfikuje parametru wydajności procesora. Ponadto, sam odwołujący podkreślał, że w macierzy procesor jest w zasadzie niewidoczny, a wydajność macierzy określana jest ilością operacji na sekundę. Skoro w macierzy wydajność procesora określana testami SPEC nie ma znaczenia, gdyż ma wpływ na wewnętrzne procesy macierzy (inaczej niż w serwerach), to trudno poszukiwać uzasadnienia dla wykładni zapisu, który sprowadzony zostałby wyłącznie do oceny wydajności procesora, którą należałoby odnosić do wydajności macierzy. Sam odwołujący wskazywał, że przy macierzy procesor ma drugorzędne znaczenie, gdyż nie odpowiada za realizację innych funkcji poza przechowywaniem danych i przetwarzaniem danych w warstwie pamięci masowej. Również w opinii złożonej przez odwołującego, str. 6, wskazane zostało, że kluczowa jest wydajność i funkcjonalność urządzenia (macierzy dyskowej). Zamawiający wydajność macierzy opisał w pkt 3 OPZ (tabela) wskazując właśnie na minimalną wydajność macierzy IOPS 500000 (operacji wejścia/wyjścia na sekundę). Przyjęcie zatem stanowiska odwołującego oznaczałoby pozbawienie celu badania samej wydajności procesora, skro ta ma wtórne znaczenie w macierzy.

W ocenie Izby zamawiający świadomie określił wymóg procesora, opisujący architekturę procesora x86, co zostało zamieszczone w części opisującej architekturę macierzy, a nie w części opisującej wydajność macierzy, która nie jest determinowana architekturą procesora jej kontrolera (str. 6, pkt 143 opinii). Warto w tym miejscu wskazać, że w opinii podnosi się jednak znaczenie architektury kontrolera dla wydajności macierzy. Skoro zamawiający określił, że kontrolery macierzy mają być wyposażone w procesory klasy x86, to w ocenie Izby nie można uznać, że nie określił architektury kontrolera i procesora, który ma zapewnić komunikację wewnątrz macierzy.

Na zakończenie Izba wskazuje, że powołanie w uzasadnieniu odrzucenia oferty odwołującego standardu SMBIOS, nie prowadziło do zmiany warunków oceny oferty i miało na celu wzmocnienie argumentacji zamawiającego, który opisują wymóg zakładał, że jest to pojęcie zrozumiałe w branży IT. Należy zauważyć, że zamówienie kierowane jest do profesjonalistów, a skoro po odpowiedzi na pytanie i modyfikacji nie były zgłaszane żadne zastrzeżenia, co do rozumienia zapisu OPZ, zamawiający mógł być przekonany co do rozumienia znaczenia, jakie ma oznaczenie klasy

procesora x86, jako identyfikującej architekturę x86. Jak wskazał zamawiający na rozprawie, była zaskoczony interpretacją prezentowaną przez odwołującego w wyjaśnieniach jakie składał w trakcie procedury badania oferty, stąd dopiero w odrzuceniu oferty odniósł się do standardu SMBIOS funkcjonującego na rynku, w którym znajduje się pojęcie klasy x86. W ocenie składu, od początku zapis OPZ miał odniesienie do architektury procesora x86, a klasy x86 nie można było identyfikować przez samą wydajność procesora.

Izba uznała, że zarzuty związane z oceną oferty oparte na subiektywnej i nieuzasadnionej wykładni postanowienia OPZ, w zakresie w jakim zamawiający określił wymagania dotyczące architektury macierzy, tj. klasy procesora x86, nie zasługiwały na uwzględnienie. Izba uznała za logiczne i spójne z wiedzą branżową stanowisko zamawiającego co do rozumienia klasy procesora powiązane z architekturą macierzy, którą opisał zamawiający wskazując na klasę procesora x86. Nie budzi zatem zastrzeżeń ocena oferty, w której zaoferowano procesory w odmiennej architekturze, ARM64 co jest niezgodne z wymogiem wyposażenia kontrolerów macierzy w procesory klasy x86. Zamawiający nie naruszył art. 226 ust. 1 pkt 5 Ustawy dokonując czynności odrzucenia oferty odwołującego. W konsekwencji nie doszło również do naruszenia pozostałych przepisów wskazanych w odwołaniu.
O kosztach postępowania orzeczono stosownie do wyniku na podstawie art. 575 Ustawy Prawa zamówień publicznych oraz w oparciu o przepisy § 5 ust. 2 w zw. z § 8 ust 2 poz. 2437). Izba zaliczyła do kosztów postępowania wpis i obciążyła nimi odwołującego.

Przewodnicząca:……